

First Hit

L11: Entry 3 of 20

File: JPAB

Feb 7, 2003

PUB-NO: JP02003036204A
DOCUMENT-IDENTIFIER: JP 2003036204 A
TITLE: FLASH MEMORY UPDATE METHOD

PUBN-DATE: February 7, 2003

INVENTOR-INFORMATION:

NAME

COUNTRY

TOYODA, YASUTSUGU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

APPL-NO: JP2001221126

APPL-DATE: July 23, 2001

INT-CL (IPC): G06 F 12/02; G06 F 12/00; G06 F 12/16; G11 C 16/02

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a flash memory update method wherein an address translation table required for translating a logical address to a physical address so as to obtain uniform erasure/writing to a sector of a flash memory can be omitted.

SOLUTION: The flash memory update system comprises a flash memory for arranging memory contents, a buffer RAM for temporarily storing the memory contents, a sector management information generation block for generating the memory contents by dividing memory information on the buffer RAM to sector units and adding additional information, a memory control block for reading from and writing to the flash memory based on the memory contents, a CPU for controlling the above component blocks, and an I/F circuit for storing in the buffer RAM memory information from an external device and notifying the CPU that the memory information is received.

COPYRIGHT: (C)2003, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-36204

(P2003-36204A)

(43) 公開日 平成15年2月7日(2003.2.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 6 F 12/02	5 1 0	G 0 6 F 12/02	5 1 0 A 5 B 0 1 8
12/00	5 4 2	12/00	5 4 2 K 5 B 0 2 5
	5 9 7		5 9 7 U 5 B 0 6 0
12/16	3 1 0	12/16	3 1 0 A 5 B 0 8 2
G 1 1 C 16/02		G 1 1 C 17/00	6 0 1 E
審査請求 未請求 請求項の数8 O L (全 18 頁)			

(21) 出願番号 特願2001-221126(P2001-221126)

(22) 出願日 平成13年7月23日(2001.7.23)

(71) 出願人 00005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 豊田 泰嗣

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5B018 GA04 HA23 HA24 NA06 QA15

5B025 AD01 AD04 AD08 AE00

5B060 AA02 AA06

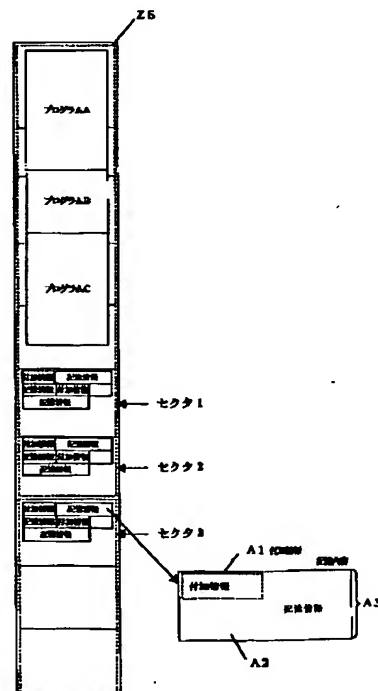
5B082 CA05 JA06

(54) 【発明の名称】 フラッシュ型メモリの更新方法

(57) 【要約】

【課題】 フラッシュ型メモリのセクタへの消去／書き込みを均一にする場合、アドレスを物理アドレスに変換するためのアドレス変換テーブルが必要である。

【解決手段】 記憶内容を配置するフラッシュ型メモリと、記憶内容を一時的に格納するバッファRAMと、バッファRAM上の記憶情報をセクタ単位に分割し、付加情報を付加し、記憶内容を生成するセクタ管理情報生成ブロックと、記憶内容を基にフラッシュ型メモリへの読み込み、書き込みを行うメモリ制御ブロックと、前記各構成ブロックを制御するCPUと外部装置から記憶情報をバッファRAMに格納し、CPUに対して記憶情報が受信されたことを通知するI/F回路とを備える。



【特許請求の範囲】

【請求項1】 記憶内容を更新する場合、セクタ単位で消去／書き込みを行う方法で、消去／書き込みか空きセクタへの追記を判断する手段と、更新する記憶内容をセクタ単位で分割する手段と、記憶内容を無効にしたセクタから記憶内容を更新したセクタへリンクする手段を備えるフラッシュ型メモリの更新方法。

【請求項2】 請求項1の更新方法であって、記憶内容を無効にするセクタ有効フラグを有し、無効にしたセクタから更新した記憶内容へリンクする手段としてセクタリンクアドレスを有することを特徴とするフラッシュ型メモリの更新方法。

【請求項3】 請求項1の更新方法であって、記憶内容を無効にするセクタ有効フラグを有し、無効にしたセクタから更新した記憶内容へリンクする手段としてスキップセクタ数を有することを特徴とするフラッシュ型メモリの更新方法。

【請求項4】 記憶内容を更新する場合、記憶内容長単位で消去／書き込みを行う方法で、消去／書き込みか空き領域への追記を判断する手段と、無効にした記憶内容から更新した記憶内容のアドレスへリンクする手段と、有効または無効な記憶内容の範囲を示す手段を備えるフラッシュ型メモリの更新方法。

【請求項5】 請求項4の更新方法であって、記憶内容を無効にする有効フラグを有し、無効にした記憶内容から更新した記憶内容へリンクする手段としてリンクアドレスを有し、有効または無効な記憶内容の範囲を示す手段として終端アドレスを有することを特徴とするフラッシュ型メモリの更新方法。

【請求項6】 請求項4の更新方法であって、記憶内容を無効にする有効フラグを有し、無効にした記憶内容から更新した記憶内容へリンクする手段としてリンクアドレスを有し、有効または無効な記憶内容の範囲を示す手段として更新情報長を有することを特徴とするフラッシュ型メモリの更新方法。

【請求項7】 請求項4の更新方法であって、記憶内容を無効にする有効フラグを有し、無効にした記憶内容から更新した記憶内容へリンクする手段としてスキップバイト数を有し、有効または無効な記憶内容の範囲を示す手段として終端アドレスを有することを特徴とするフラッシュ型メモリの更新方法。

【請求項8】 請求項4の更新方法であって、記憶内容を無効にする有効フラグを有し、無効にした記憶内容から更新した記憶内容へリンクする手段としてスキップバイト数を有し、有効または無効な記憶内容の範囲を示す手段として更新情報長を有することを特徴とするフラッシュ型メモリの更新方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、更新データの記憶

や、既に記憶されたデータをセクタ単位で消去することができるフラッシュ型メモリに関する。

【0002】

【従来の技術】 フラッシュ型メモリは書き換え可能な半導体メモリで、電源を切っても記憶内容が消えないため、CD-R/RWドライブの制御プログラム、CD-Rディスク製造メーカー毎に違う記録用レーザー設定値、ドライブの認証情報などの記憶に利用されている。しかしフラッシュ型メモリは、既にデータが記録されたアドレスへはデータの上書きができない。データの更新が必要な場合、記録されたデータを消去して空き領域を確保する必要がある。同じセクタに更新が必要なパラメータが2種類以上存在する場合、変更しないパラメータを別の空き領域があるセクタへ退避した後、セクタを消去して再記憶の処理をするか、フラッシュ型メモリのマッピング設計時に1つのセクタにパラメータを2種類以上存在させないようにする必要がある。通常はCPU処理の負荷を軽減させ、処理も簡易化させる目的で後者が選択される場合が多い。その場合、パラメータが数バイトといった小さいサイズなら、割り当てられたセクタのうち、数バイトしか使用せず、メモリを効率的に使用できなかった。また更新が多いデータがあると、そのデータが配置されたセクタに消去／書き込みが集中し、そのセクタが劣化してしまう問題があった。

【0003】 その問題に対処するため、セクタ単位の記憶内容を更新する特許に「特開平11-96779」や「特開平09-54726」が考案された。

【0004】 制御プログラムはフラッシュ型メモリの使用量は数百キロバイトと多いが更新頻度は少ない。レーザーのパラメータや認証情報などはフラッシュ型メモリの使用量は数バイトと非常に少ないが、ユーザーがメディアをアクセスする度に更新する必要があるため更新頻度は多い。前者のような特徴のデータには「特開平09-54726」が適用され、後者のような特徴のデータには「特開平11-96779」が適用されている。

【0005】 「特開平09-54726」は空きセクタがあればセクタの消去をせず、空きセクタに追記する。空きセクタがなければ、消去／書き込みを行う。しかし、データを配置した物理アドレスが変わってしまうため、物理アドレスを論理アドレス、または論理アドレスを物理アドレスに変換するためのアドレス変換テーブルを備えることを特徴としている。

【0006】 「特開平11-96779」はデータの消去／書き込みが必要な場合、各セクタ毎に書き換え回数や書き換え時間という管理情報を付加し、セクタ毎の書き換え回数を参照し、回数の少ないセクタに更新データを配置する。書き換え回数が同じだった場合は、書き換え時間を参照し書き換え時間の早いセクタに更新データを配置することで、セクタへの書き込み回数を均一にすることを特徴としている。また「特開平09-5472

6」と同様に、配置されたプログラムの物理アドレスが変わるため、アドレス変換テーブルを備える。

【0007】図4に「特開平09-54726」の動作フローを示す。図5は「特開平09-54726」のセクタ構造である。図6は「特開平09-54726」のブロック図である。データの読み出し時の場合、追記対応メモリ制御ブロックZ9はアドレス変換テーブルZ6で論理アドレスを物理アドレスに変換し、フラッシュ型メモリZ5の物理アドレスに格納されたデータをCPUZ2へロードする。データの書き込み時の場合、ホスト制御装置Z1がI/F回路Z4へパラメータX1を送信するとI/F回路Z4はCPUZ2にデータ受信割り込み信号を通知し、同時にバッファRAMZ3にパラメータX1を格納する。CPUZ2はデータ受信割り込みの通知を受けると、追記対応メモリ制御ブロックZ9へデータ受信を通知する。追記対応メモリ制御ブロックZ9はパラメータX1を空きセクタへ書き込む。その後、追記対応メモリ制御ブロックZ9はアドレス変換テーブルZ6の論理アドレスと物理アドレスの対応を更新する。

【0008】空きセクタがない場合、追記対応メモリ制御ブロックZ9は更新元パラメータの存在するセクタを消去し、パラメータX1を書き込む。

【0009】図7に「特開平11-96779」の動作フローを示す。図8は「特開平11-96779」のセクタ構造である。図9は「特開平11-96779」のブロック図である。

【0010】データの読み出し時の場合、セクタ情報対応メモリ制御ブロックZ10はアドレス変換テーブルZ6で論理アドレスを物理アドレスに変換し、フラッシュ型メモリZ5の物理アドレスに格納されたデータをCPUZ2へロードする。データの書き込み時の場合、ホスト制御装置Z1がI/F回路Z4へプログラムX2を送信するとI/F回路Z4はCPUZ2にデータ受信割り込み信号を通知し、同時にバッファRAMZ3にプログラムX2を格納する。CPUZ2はデータ受信割り込みの通知を受けると、セクタ情報対応メモリ制御ブロックZ10へデータ受信を通知する。セクタ情報対応メモリ制御ブロックZ10はプログラムX2がセクタ単位よりも大きい場合はセクタ単位に情報を分割し、フラッシュ型メモリZ5へ消去/書き込みか空きセクタへの追記を判断する。消去/書き込みの場合、フラッシュ型メモリZ5のセクタ毎に管理されている書き換え回数Y1を参照し、書き換え回数Y1の最も少ないセクタに消去/書き込みを行う。書き換え回数Y1に同じセクタが複数存在する場合には、書き換え時間Y2を参照し、書き換え時間Y2が最も古いセクタに消去/書き込みを行う。空きセクタへの追記の場合、そのままプログラムX2を書き込む。その後、セクタ情報対応メモリ制御ブロックZ10はアドレス変換テーブルZ6の論理アドレスと物理アドレスの対応を更新する。

【0011】

【発明が解決しようとする課題】従来技術では、アドレス変換テーブルを用意する必要がある。そのためメモリ資源はアドレス変換テーブルの領域を用意する必要がある。また、アドレス変換テーブルのセクタには更新が集中するため、他のセクタに比べて早く劣化してしまう。

【0012】本発明は上記課題を解決するために提案されたものであって、アドレス変換テーブルを不要にするため、メモリ資源が節約できる。また特定セクタ（今回はアドレス変換テーブル）への消去/書き込みの集中を防ぐことができる。

【0013】また従来技術では、セクタ単位に管理情報を付加しているため、更新する情報がセクタ単位よりも大きい時には、更新する情報を分割する必要がある。

【0014】本発明は上記課題を解決するために提案されたものであって、付加する情報をセクタ単位ではなく、更新情報単位にすることにより、分割処理を不要にし、CPUの負荷を軽減する。

【0015】

【課題を解決するための手段】上記課題を解決するために提案された本発明は、ホスト制御装置の記憶情報を受信し、CPUに受信を通知する手段と、受信した記憶情報を一時的に格納する手段と、書き込む記憶情報がセクタ単位よりも大きい場合は、その記憶情報をセクタ単位に分割する手段と、記憶情報を消去/書き込みか空きセクタへの追記を判断する手段と、セクタ毎に記憶情報が有効か無効を判断させ、記憶情報が無効であれば、更新した記憶情報へリンクするための情報を作成する手段と、その情報を付加する手段とを備え、アドレス変換テーブル無しに論理アドレスを物理アドレス又は物理アドレスを論理アドレスにリンクさせることが可能な記憶装置制御部を第1の構成とする。

【0016】また本発明は第1の構成において、セクタ毎に記憶情報が有効か無効かを判断させる手段として、セクタ有効フラグを有し、記憶情報が無効の時、更新した記憶情報へリンクするための情報として、セクタリンクアドレスを有する記憶装置制御部を第2の構成とする。

【0017】また本発明は第1の構成において、セクタ毎に記憶情報が有効か無効かを判断させる手段として、セクタ有効フラグを有し、記憶情報が無効の時、更新した記憶情報へリンクするための情報として、スキップセクタ数を有する記憶装置制御部を第3の構成とする。

【0018】また本発明は、ホスト制御装置の記憶情報を受信し、CPUに受信を通知する手段と、受信した記憶情報を一時的に格納する手段と、記憶情報を消去/書き込みか空き領域への追記を判断する手段と、更新した記憶情報単位毎にその情報が有効か無効を判断させ、記憶情報が無効であれば、更新した記憶情報へリンクさせ、その記憶情報の有効または無効範囲を示すための情

報を作成する手段と、その情報を付加する手段とを備え、付加する情報の分割を不要にする記憶装置制御部を第4の構成とする。

【0019】また本発明は第4の構成において、記憶情報が有効か無効かを判断させる手段として有効フラグを有し、記憶情報が無効の時、更新した記憶情報へリンクするための情報としてリンクアドレスを有し、その記憶情報の有効または無効範囲を示すための情報として終端アドレスを有する記憶装置制御部を第5の構成とする。

【0020】また本発明は第4の構成において、記憶情報が有効か無効かを判断させる手段として有効フラグを有し、記憶情報が無効の時、更新した記憶情報へリンクするための情報としてリンクアドレスを有し、その記憶情報の有効または無効範囲を示すための情報として更新情報長を有する記憶装置制御部を第6の構成とする。

【0021】また本発明は第4の構成において、記憶情報が有効か無効かを判断させる手段として有効フラグを有し、記憶情報が無効の時、更新した記憶情報へリンクするための情報としてスキップバイト数を有し、その記憶情報の有効または無効範囲を示すための情報として終端アドレスを有する記憶装置制御部を第7の構成とする。

【0022】また本発明は第4の構成において、記憶情報が有効か無効かを判断させる手段として有効フラグを有し、記憶情報が無効の時、更新した記憶情報へリンクするための情報としてスキップバイト数を有し、その記憶情報の有効または無効範囲を示すための情報として更新情報長を有する記憶装置制御部を第8の構成とする。

【0023】

【発明の実施の形態】（実施の形態1）図1は本発明のフラッシュ型メモリのセクタ構造である。A1は記録内容の有効または無効を示し、更新した情報のセクタアドレスが格納される付加情報、A2は記憶情報である。A3は記憶内容であり付加情報A1、記憶情報A2から構成される。

【0024】図2は本発明の記憶装置制御部のブロック図である。本発明の記憶装置制御部は従来例のブロック図である図6の追記対応メモリ制御ブロックZ9を新メモリ制御ブロックB1に変更し、アドレス変換テーブルZ6を除外して、記憶情報A2と付加情報A1から記憶内容A3を生成するセクタ管理情報生成ブロックB2を追加した構成になっている。

【0025】本発明の動作を以下で説明する。

【0026】図3に上記発明の動作フローを示す。データの読み出し時の場合、新メモリ制御ブロックB1は論理アドレスのあるセクタの付加情報A1を参照し、このセクタの情報が有効か無効かを判断する。有効であれば、論理アドレスはそのまま物理アドレスに変換され、その物理アドレスの命令をCPUZ2へロードする。無効であれば、付加情報A1のリンク先のセクタアドレス

を参照し、そのアドレスの付加情報A1を参照する。この処理を繰り返し、論理アドレスと物理アドレスの変換を行い新メモリ制御ブロックB1はフラッシュ型メモリZ5から命令をCPUZ2へロードする。

【0027】データの書き込み時の場合、ホスト制御装置Z1がI/F回路Z4へ記憶情報A2を送信するとI/F回路Z4はCPUZ2にデータ受信割り込み信号を通知し、同時にバッファRAMZ3に記憶情報A2を格納する。CPUZ2はデータ受信割り込みの通知を受けると、新メモリ制御ブロックB1へデータ受信を通知する。新メモリ制御ブロックB1は記憶情報A2がセクタ単位よりも大きい場合はセクタ単位に情報を分割し、フラッシュ型メモリZ5へ消去/書き込みか空きセクタへの追記を判断する。空きセクタへの追記の場合、新メモリ制御ブロックB1は現在有効な記憶内容A3の付加情報A1を無効にし、追記するセクタのアドレスを付加情報A1に登録する。そして新メモリ制御ブロックB1は、セクタ管理情報生成ブロックB2へ付加情報A1の作成を依頼する。セクタ管理情報生成ブロックB2はリンクセクタアドレスに登録せず、記憶内容A3を有効にした付加情報A1を生成する。セクタ管理情報生成ブロックB2はバッファRAMB3に格納された記憶情報A2と新しい付加情報A1から記憶内容A3を作成し、新メモリ制御ブロックB1に通知する。新メモリ制御ブロックB1はバッファRAMZ3の記憶内容A3を空きセクタに書き込む。消去/書き込みの場合、新メモリ制御ブロックB1は必要空きセクタ数を計算し、現在有効な記憶内容A3が格納されている最後のセクタから消去を行い空き容量を作成する。フラッシュ型メモリZ5の終端まで消去されたら先頭のセクタへ戻って消去を続けることで、フラッシュ型メモリのセクタを均一に使用することができる。空きセクタ作成後、本発明の記憶装置制御部は空きセクタへの追記と同様の処理を行う。

【0028】以上説明したように実施の形態1を用いたフラッシュ型メモリの更新方法によって、アドレス変換テーブル無しに論理アドレスから物理アドレスへの読み出しや消去/書き込みが可能になる。

【0029】（実施の形態2）図16は本発明のフラッシュ型メモリのセクタ構造である。請求項1のフラッシュ型メモリのセクタ構造の付加情報A1をセクタ有効フラグC1とセクタリンクアドレスC2に置き換えた構成になっている。

【0030】（実施の形態3）図17は本発明のフラッシュ型メモリのセクタ構造である。請求項1のフラッシュ型メモリのセクタ構造の付加情報A1をセクタ有効フラグC1とスキップセクタ数C3に置き換えた構成になっている。

【0031】（実施の形態4）図18は本発明のフラッシュ型メモリのセクタ構造である。C4は記録内容の有効または無効を示し、更新した情報のセクタアドレスが

10

20

30

40

50

格納され、有効または無効な記憶内容の範囲を示す付加情報、A2は記憶情報である。C5は記憶内容であり付加情報C4、記憶情報A2から構成される。

【0032】図10は本発明の記憶装置制御部のブロック図である。本発明の記憶装置制御部は従来例のブロック図である図6の追記対応メモリ制御ブロックZ9を可変メモリ制御ブロックD1に変更し、アドレス変換テーブルZ6を除外して、記憶情報A2と付加情報C4から記憶内容C5を生成する管理情報生成ブロックD2を追

加した構成になっている。

【0033】本発明の動作を以下で説明する。

【0034】図11に上記発明の動作フローを示す。データの読み出し時の場合、可変メモリ制御ブロックD1は論理アドレスのある記憶内容の先頭にある付加情報C4を参照し、この情報が有効か無効かを判断する。この時、可変メモリ制御ブロックD1は情報の先頭と論理アドレスのオフセットを記憶する。有効であれば、論理アドレスはオフセットを基に物理アドレスに変換され、その物理アドレスの命令をCPUZ2へロードする。無効であれば、付加情報C4のリンク先のアドレスを参照し、そのアドレスの付加情報C4を参照する。この処理を繰り返し、論理アドレスと物理アドレスの変換を行い可変メモリ制御ブロックD1はフラッシュ型メモリZ5から命令をCPUZ2へロードする。

【0035】データの書き込み時の場合、ホスト制御装置Z1がI/F回路Z4へ記憶情報A2を送信するとI/F回路Z4はCPUZ2にデータ受信割り込み信号を通知し、同時にバッファRAMZ3に記憶情報A2を格納する。CPUZ2はデータ受信割り込みの通知を受けると、可変メモリ制御ブロックD1へデータ受信を通知する。可変メモリ制御ブロックD1はフラッシュ型メモリZ5へ消去/書き込みか空き領域への追記を判断する。空き領域への追記の場合、可変メモリ制御ブロックD1は現在有効な記憶内容C5の付加情報C4を無効にし、追記するアドレスを、無効にした記憶内容の範囲から計算し、付加情報C4に登録する。そして可変メモリ制御ブロックD1は、管理情報生成ブロックD2へ付加情報C4の作成を依頼する。管理情報生成ブロックD2はリンクアドレスを登録せず、記憶内容C5の有効範囲を登録し、記憶内容C5を有効にした付加情報C4を生成する。管理情報生成ブロックD2はバッファRAMZ3に格納された記憶情報A2と新しい付加情報C4から記憶内容C5を作成し、可変メモリ制御ブロックD1に通知する。可変メモリ制御ブロックD1はバッファRAMZ3の記憶内容C5を空き領域に書き込む。消去/書き込みの場合、可変メモリ制御ブロックD1は必要空き領域を計算し、現在有効な記憶内容C5が格納されている最後のセクタから消去を行い空き領域を作成する。フラッシュ型メモリB5の終端まで消去されたら先頭のセクタへ戻って消去を続けることで、フラッシュ型メモリ

のセクタを均一に使用することができる。空き領域作成後、本発明の記憶装置制御部は空き領域への追記と同様の処理を行う。

【0036】以上説明したように本実施の形態4を用いたフラッシュ型メモリの更新方法によって、更新情報をセクタ単位に分割する処理がなくなり、マイコンの負荷を軽減することができる。

【0037】(実施の形態5)図12は本発明のフラッシュ型メモリのセクタ構造である。請求項4のフラッシュ型メモリのセクタ構造の付加情報C4を有効フラグE1とリンクアドレスE2と終端アドレスE3に置き換えた構成になっている。

【0038】(実施の形態6)図13は本発明のフラッシュ型メモリのセクタ構造である。請求項4のフラッシュ型メモリのセクタ構造の付加情報C4を有効フラグE1とリンクアドレスE2と更新情報長E4に置き換えた構成になっている。

【0039】(実施の形態7)図14は本発明のフラッシュ型メモリのセクタ構造である。請求項4のフラッシュ型メモリのセクタ構造の付加情報C4を有効フラグE1とスキップバイト数E5と終端アドレスE3に置き換えた構成になっている。

【0040】(実施の形態8)図15は本発明のフラッシュ型メモリのセクタ構造である。請求項4のフラッシュ型メモリのセクタ構造の付加情報C4を有効フラグE1とスキップバイト数E5と更新情報長E4に置き換えた構成になっている。

【0041】

【発明の効果】以上説明した通り本発明によって、必要だったアドレステーブルが不要になり、メモリ資源を節約できる。

【0042】また本発明によって、セクタ単位での情報更新の必要がなく、CPUの負荷を軽減する。

【図面の簡単な説明】

【図1】請求項1のフラッシュ型メモリのセクタ構造を示す図

【図2】請求項1の記憶装置制御部のブロック図

【図3】請求項1の動作フロー図

【図4】「特開平09-54726」の動作フロー図

【図5】「特開平09-54726」のセクタ構造を示す図

【図6】「特開平09-54726」のブロック図

【図7】「特開平11-96779」の動作フロー図

【図8】「特開平11-96779」のセクタ構造を示す図

【図9】「特開平11-96779」のブロック図

【図10】請求項4の記憶装置制御部のブロック図

【図11】請求項4の動作フロー図

【図12】請求項5のフラッシュ型メモリのセクタ構造を示す図

【図13】請求項6のフラッシュ型メモリのセクタ構造を示す図

【図14】請求項7のフラッシュ型メモリのセクタ構造を示す図

【図15】請求項8のフラッシュ型メモリのセクタ構造を示す図

【図16】請求項2のフラッシュ型メモリのセクタ構造を示す図

【図17】請求項3のフラッシュ型メモリのセクタ構造を示す図

【図18】請求項4のフラッシュ型メモリのセクタ構造を示す図

【符号の説明】

A1 付加情報

A2 記憶情報

A3 記憶内容

B1 新メモリ制御ブロック

B2 セクタ管理情報生成ブロック

C1 セクタ有効フラグ

C2 セクタリンクアドレス

C3 スキップセクタ数

C4 付加情報

C5 記憶内容

D1 可変メモリ制御ブロック

D2 管理情報生成ブロック

E1 有効フラグ

E2 リンクアドレス

E3 終端アドレス

E4 更新情報長

E5 スキップバイト数

X1 パラメータ

10 X2 プログラム

Y1 セクタの書き換え回数

Y2 セクタの書き換え時間

Y3 記憶情報

Z1 ホスト制御装置

Z2 CPU

Z3 バッファRAM

Z4 I/F回路

Z5 フラッシュ型メモリ

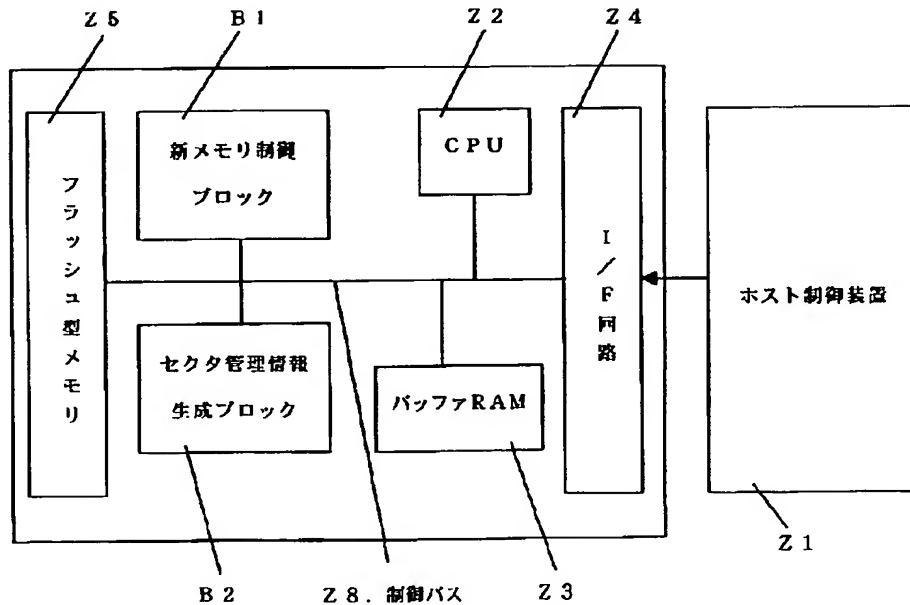
Z6 アドレス変換テーブル

20 Z8 制御バス

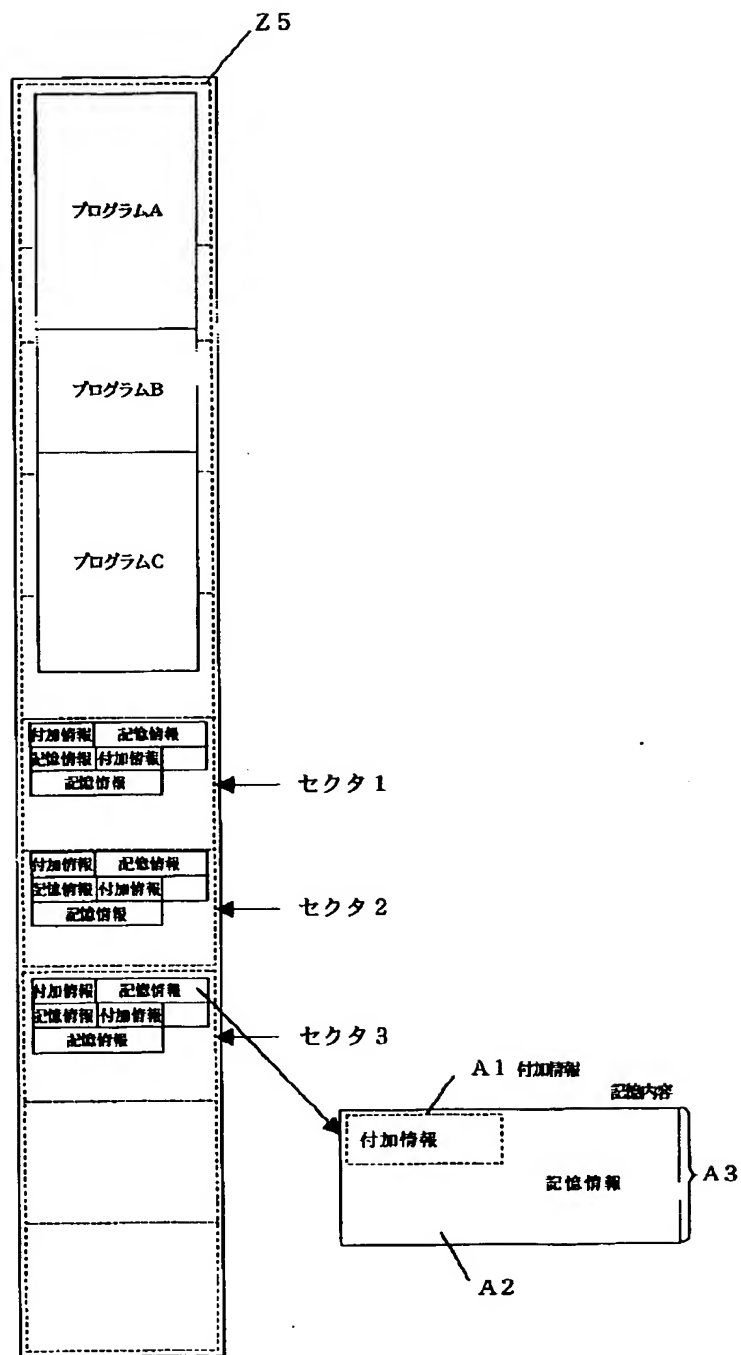
Z9 追記対応メモリ制御装置

Z10 セクタ情報対応メモリ制御装置

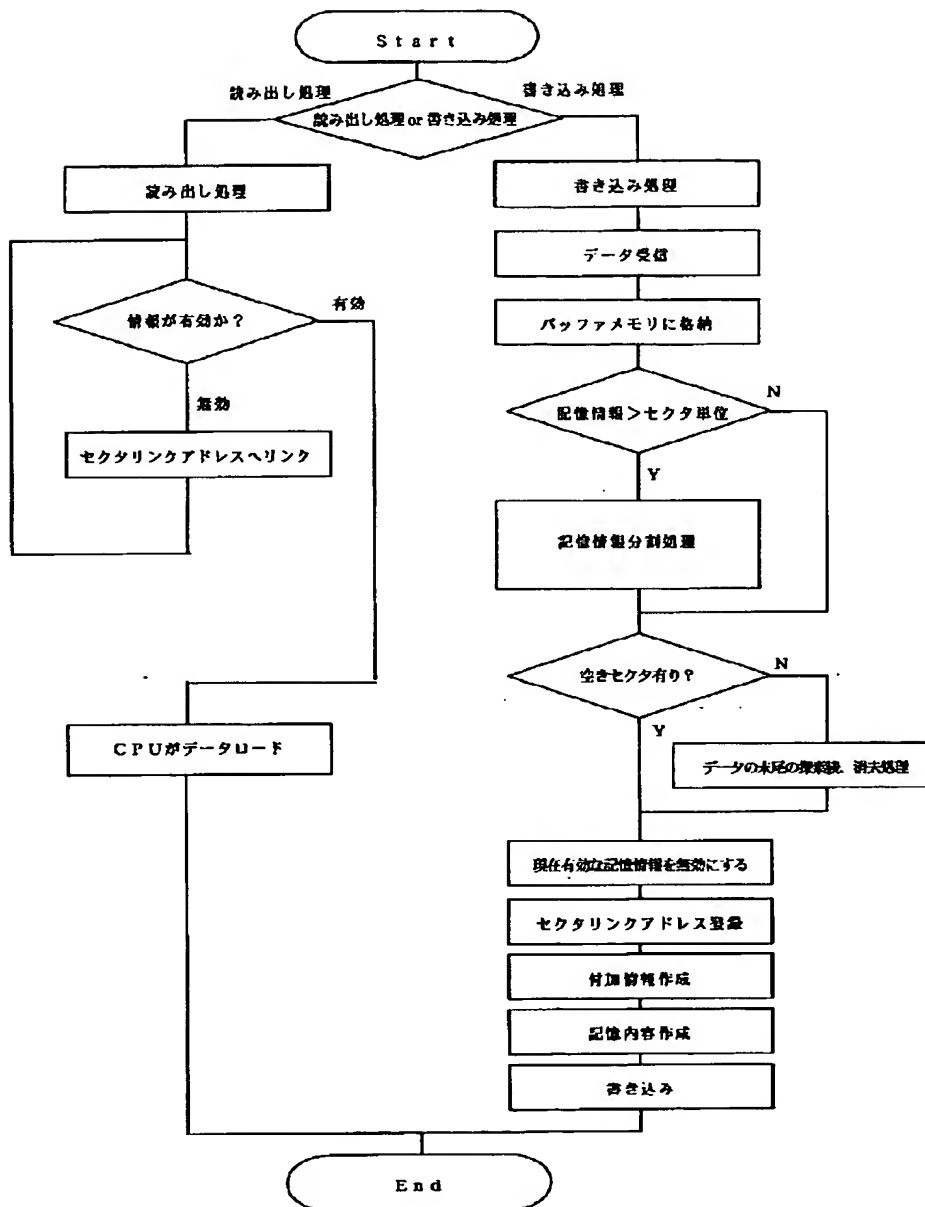
【図2】



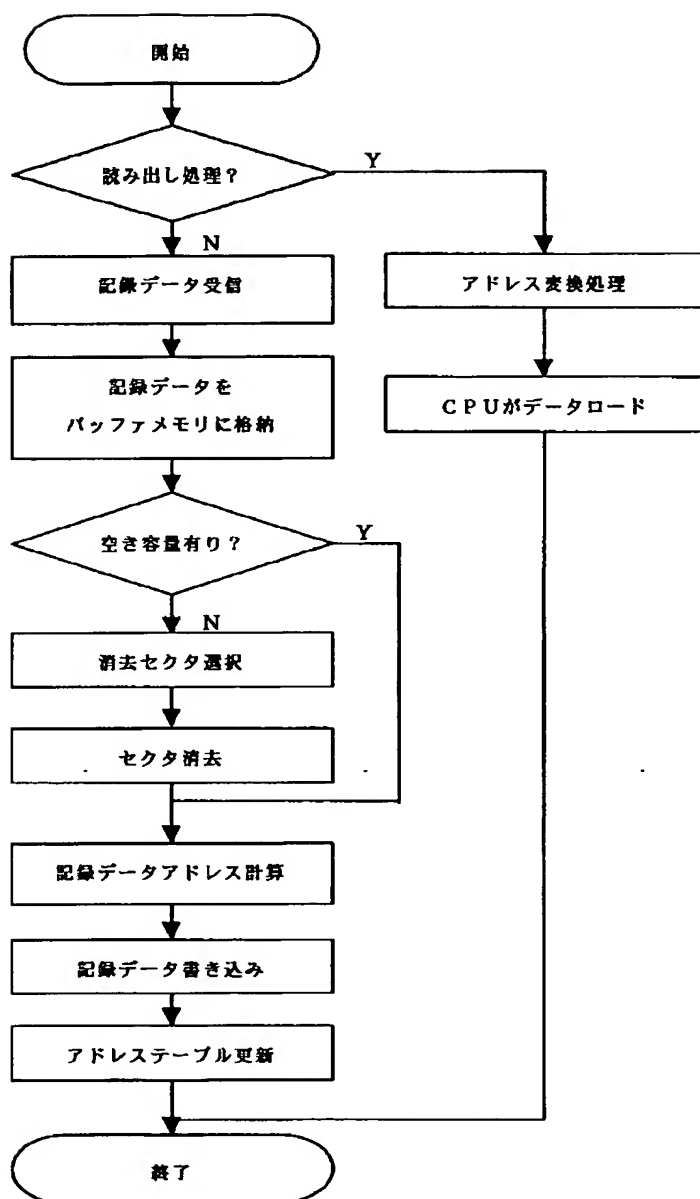
【図1】



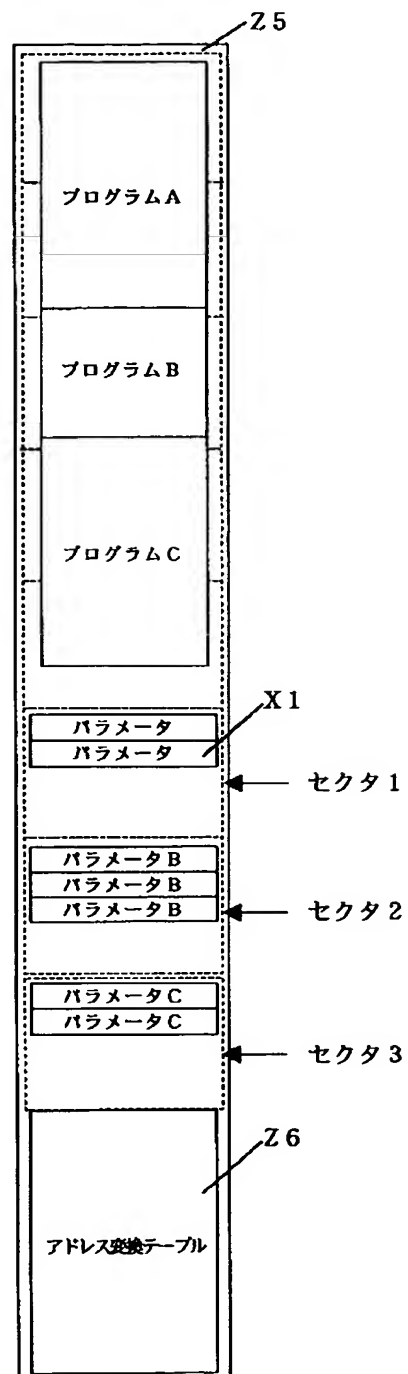
【図3】



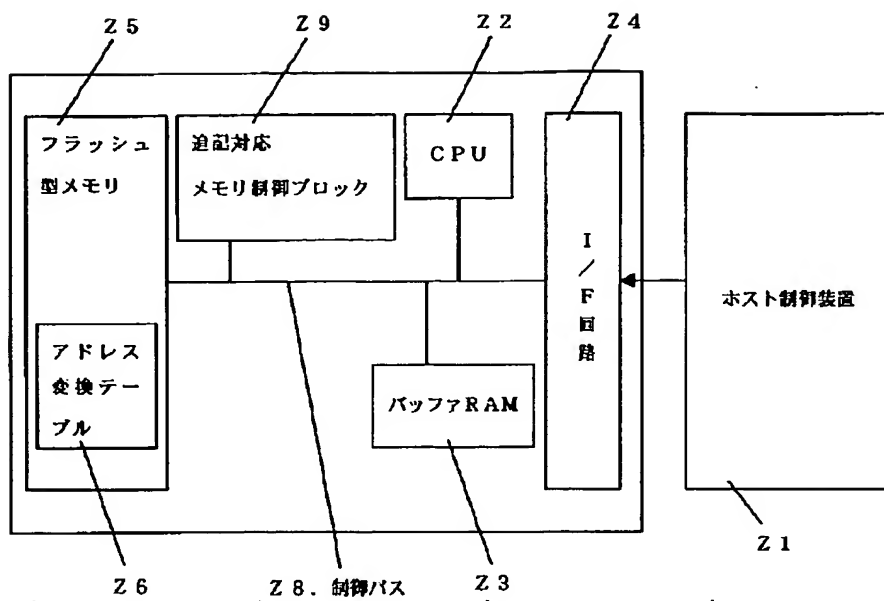
【図4】



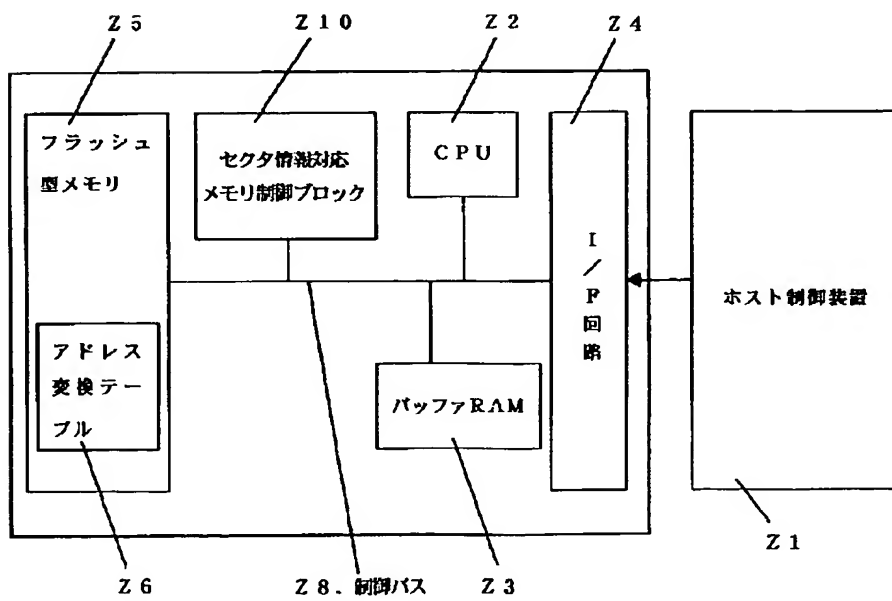
【図5】



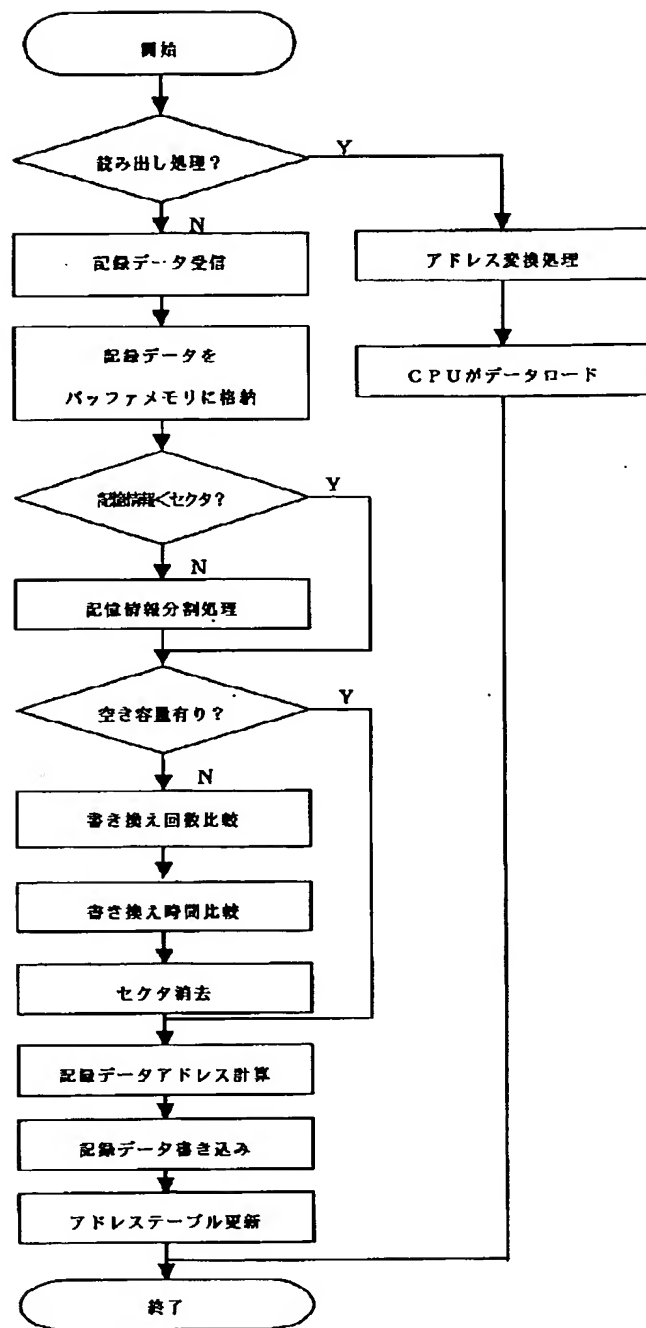
【図6】



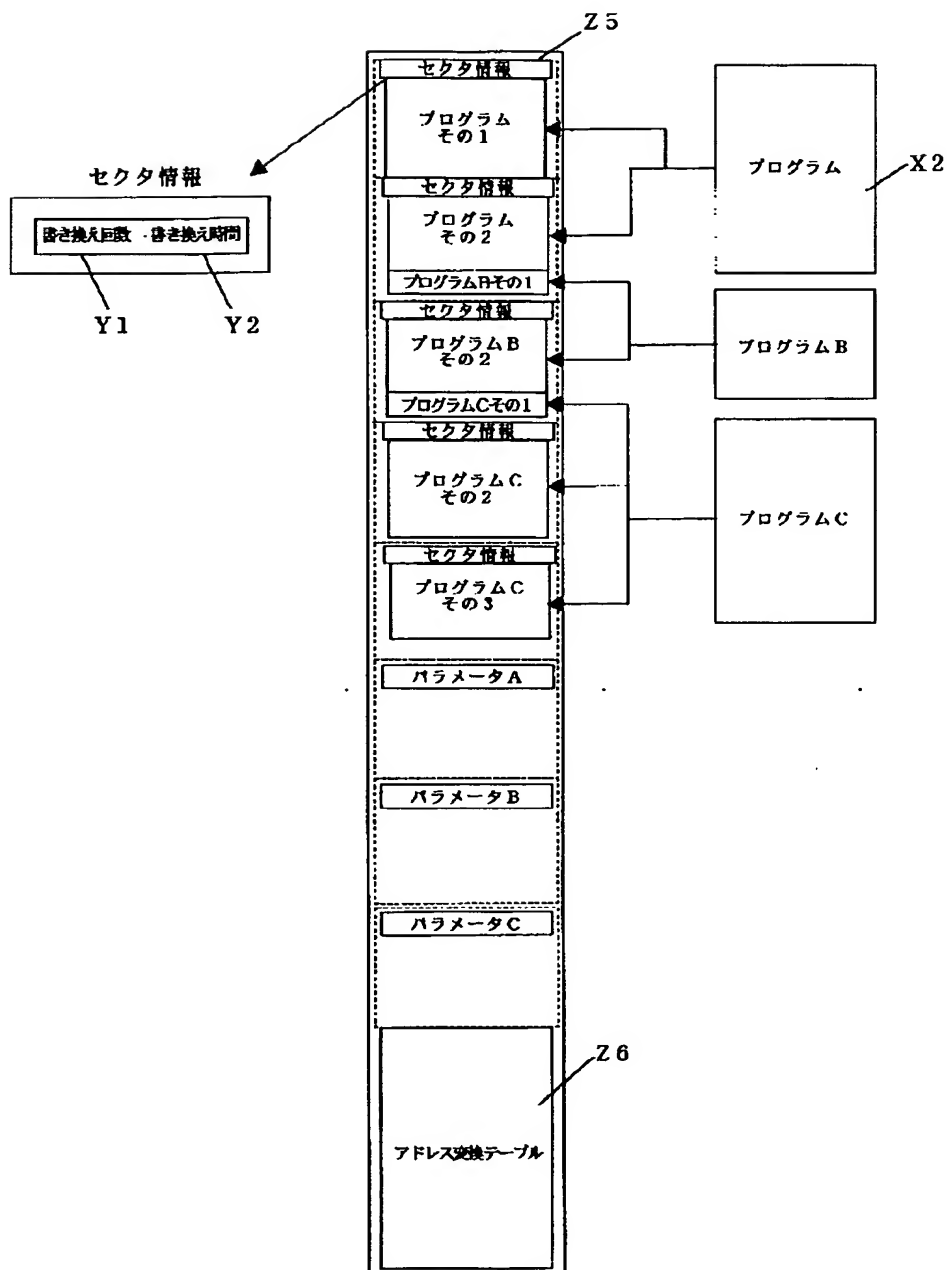
【図9】



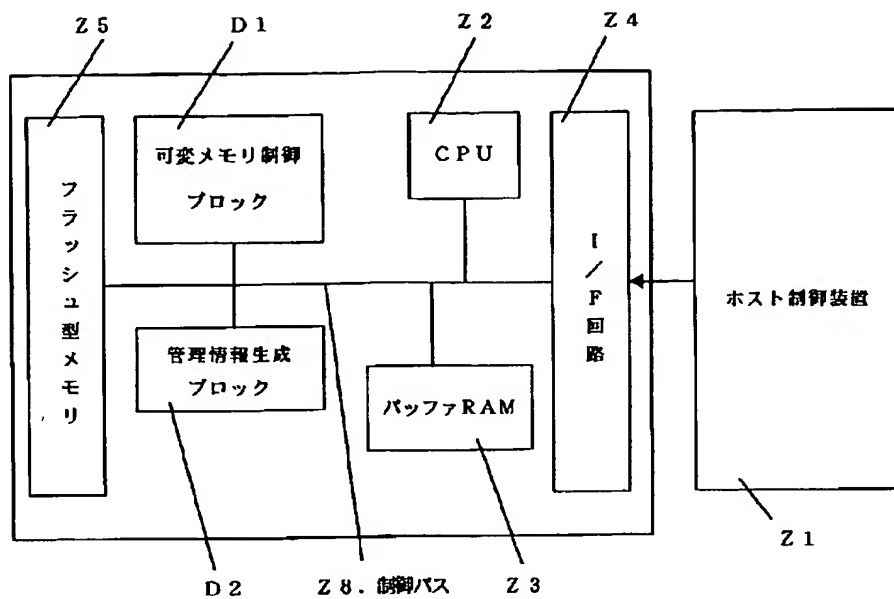
【図7】



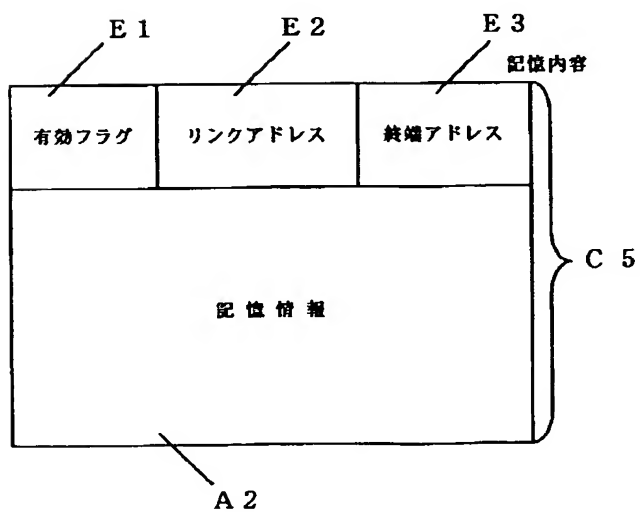
【図8】



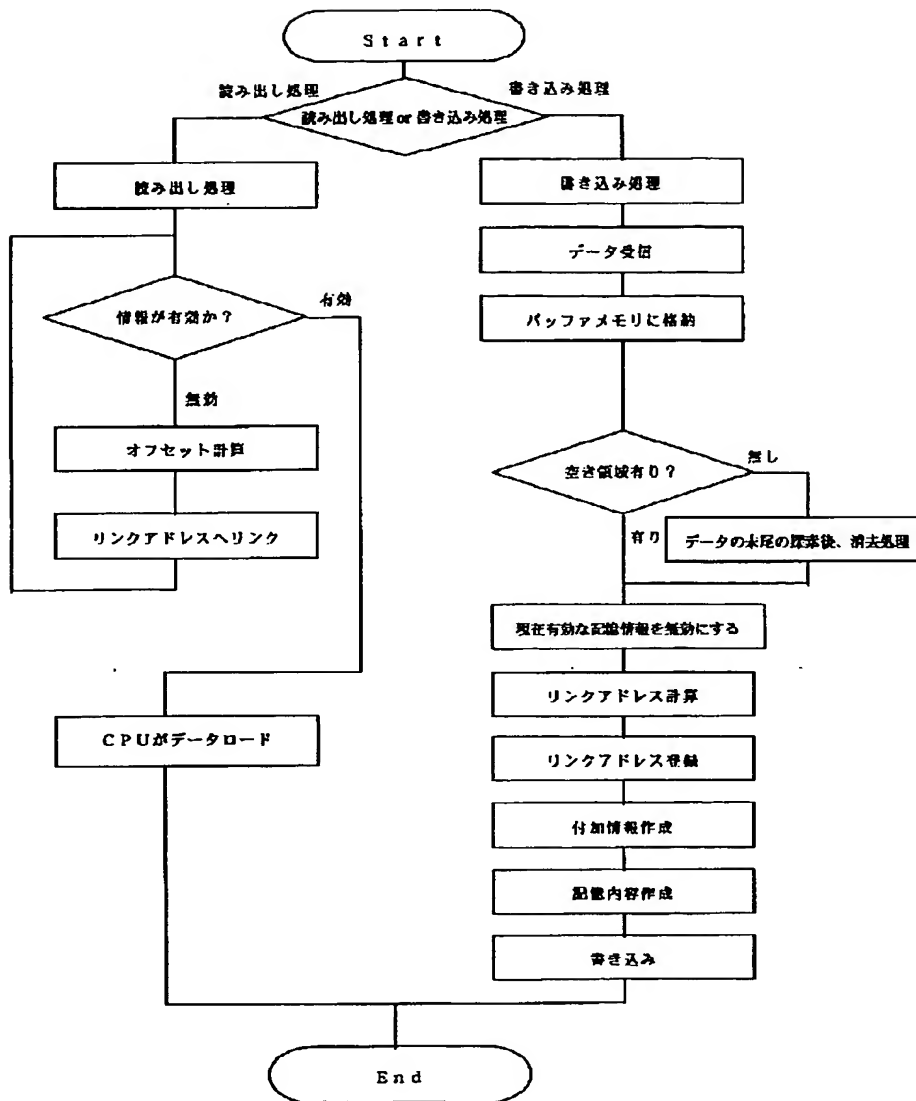
【図10】



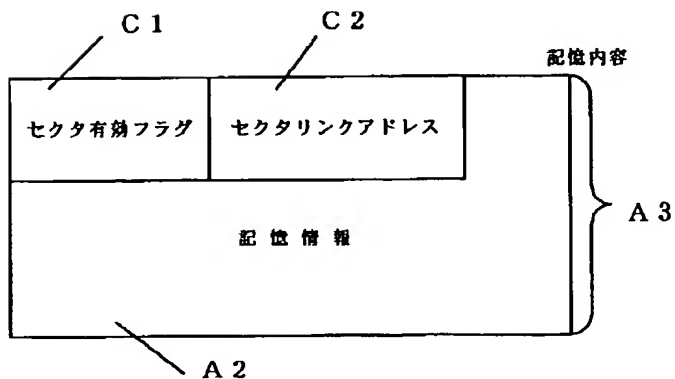
【図12】



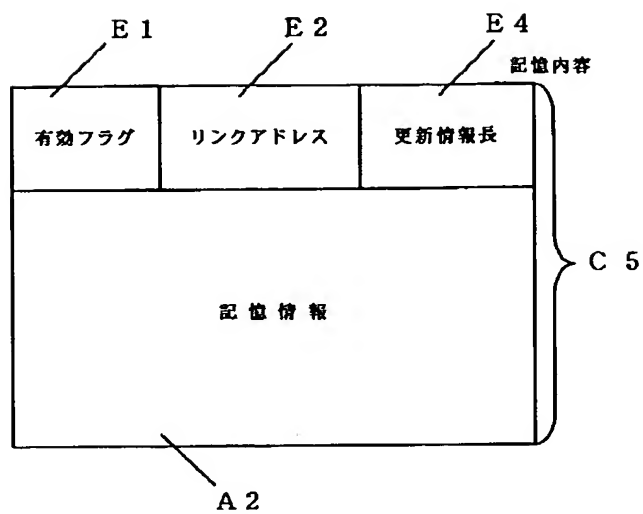
【図11】



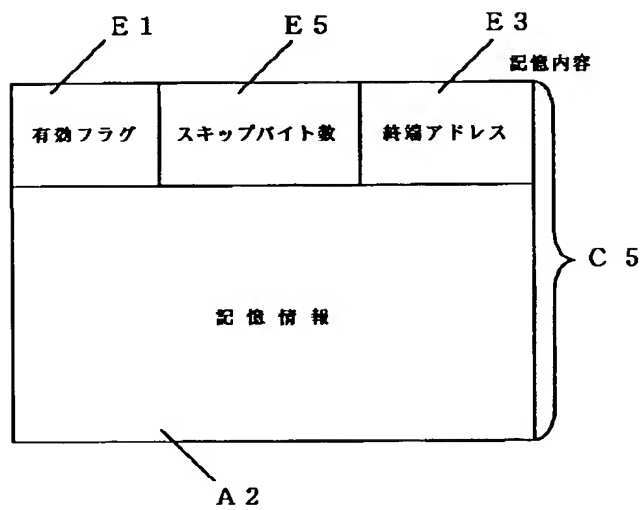
【図16】



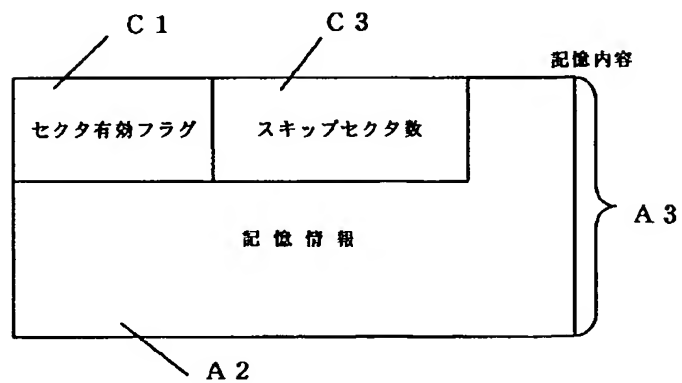
【図13】



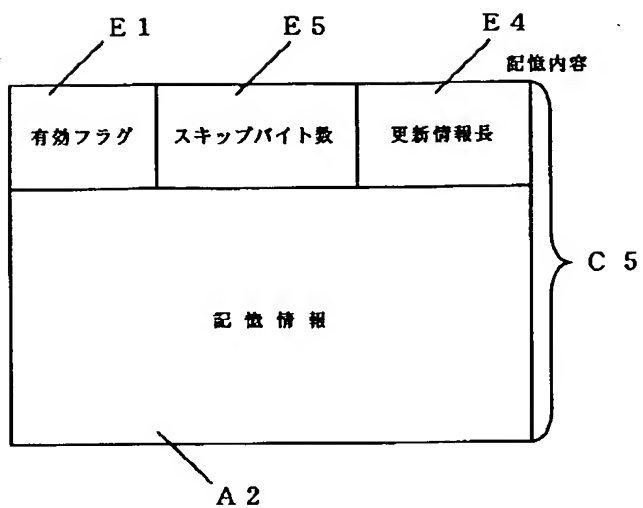
【図14】



【図17】



【図15】



【図18】

